

Patent



IPW

Customer No. 31561  
Application No.: 10/711,938  
Docket No.14001-US-PA

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of

Applicant : Fang et al.  
Application No. : 10/711,938  
Filed : Oct 14, 2004  
For : METHOD OF OPERATING DYNAMIC RANDOM  
ACCESS MEMORY  
Examiner : N/A  
Art Unit : 2818

---

ASSISTANT COMMISSIONER FOR PATENTS  
Arlington, VA22202

Dear Sir:

Transmitted herewith is a certified copy of Taiwan Application No.: 93119966,  
filed on: 2004/7/2.

A return prepaid postcard is also included herewith.

Respectfully Submitted,  
JIANQ CHYUN Intellectual Property Office

Dated: April 22, 2005

By: Belinda Lee  
Belinda Lee  
Registration No.: 46,863

**Please send future correspondence to:**

**7F.-1, No. 100, Roosevelt Rd.,**

**Sec. 2, Taipei 100, Taiwan, R.O.C.**

**Tel: 886-2-2369 2800**

**Fax: 886-2-2369 7233 / 886-2-2369 7234**

**E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw**

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder.

申請日：西元 2004 年 07 月 02 日  
Application Date

申請案號：093119966  
Application No.

**CERTIFIED COPY OF  
PRIORITY DOCUMENT**

申請人：科統科技股份有限公司  
Applicant(s)

**BEST AVAILABLE COPY**

局長

Director General

**蔡練生**

發文日期：西元 2004 年 10 月 日  
Issue Date

發文字號：09320964610  
Serial No.

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：

※ 申請日期：

※IPC 分類：

## 一、發明名稱：(中文/英文)

動態隨機存取記憶體操作方法

Operating Method for Dynamic Random Access Memory

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

科統科技股份有限公司/KOLTEK INC.

代表人：(中文/英文) 陳文熙/DANIEL CHEN

住居所或營業所地址：(中文/英文)

新竹市東區金山里金山七街一號九樓/9F, NO.1, CHIN-SHAN 7TH  
ST., EAST DISTRICT, HSINCHU, TAIWAN, R.O.C.

國 籍：(中文/英文) 中華民國/TW

## 三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 方宏基/HENRY FANG

2. 李文傑/VINCENT LEE

國 籍：(中文/英文) 中華民國/TW

#### 四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☐ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☐ 有主張專利法第二十七條第一項國際優先權：

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 五、中文發明摘要：

一種動態隨機存取記憶體操作方法，適用於具有位元線與反位元線之動態隨機存取記憶體中。此動態隨機存取記憶體以電荷儲存裝置記錄資料，且電荷儲存裝置透過開關元件而電性耦接至位元線。開關元件於導通時在開關元件兩端具有一個開關電位差。前述之動態隨機存取記憶體操作方法係以一電源電位減去開關電位差所得之第一電位或零電位來程式化電荷儲存裝置，並在讀取資料時將位元線與反位元線充電至前述的電源電位，之後開啟開關元件並根據位元線與反位元線間的電位差異來判斷電荷儲存裝置所記錄的資料。

## 六、英文發明摘要：

An operation method for dynamic random access memory (DRAM), which is adapted to be used in a DRAM with bit line and bit line bar, is provided. The DRAM stores data by using a charge storage device, which is electrically coupled to bit line via a switching element. The switching element produces a switch voltage between two ends while the switching element is on. The operation method programs the charge storage device by using a ground voltage or a voltage that obtained by subtracting the switch voltage from a source voltage. Before reading the data, bit line and bit line bar are charged to the source voltage. Switching element is on and voltage difference between the bit line and bit line bar

is used for determining data stored therein.

### 七、指定代表圖：

(一)本案指定代表圖為：圖(5)。

(二)本代表圖之元件符號簡單說明：

WL0~WL3：字元線 0~字元線 3

BL：位元線

BLB：反位元線

PULL\_BL，PULL\_BLB：拉降 BL 與 BLB 之電路的

控制線

VSN：記憶點電位

SA ACTIVE：感測器啟動訊號

DATAOUT：資料輸出訊號

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 九、發明說明：

### 【發明所屬之技術領域】

本發明是有關於一種動態隨機存取記憶體操作方法，且特別是有關於一種可以不使用電荷推升器的動態隨機存取記憶體操作方法。

### 【先前技術】

動態隨機存取記憶體（Dynamic Random Access Memory，DRAM）雖出現已久，但在市場上卻一直保有其不可被替代性。直至目前，在眾多的電腦、顯示卡或相關產品中，仍然免不了使用 DRAM 做為資料儲存裝置。請參照圖 1，其繪示的是習知所使用的 DRAM 中的記憶胞陣列(memory cell array)的基本設計方式。在傳統的 DRAM 設計中，各個記憶胞分別包含了一個開關元件 100 以及電荷儲存元件 110。其中，各電荷儲存元件 110 分別透過相應的開關元件 100 而依序交錯電性耦接至位元線（Bit Line，BL）與反位元線（Bit Line Bar，BLB）。此外，開關元件 100 通常是由 P 型或 N 型的金屬氧化半導體（MOS）所構成，而且這些開關元件 100 分別由字元線（WL0～WL3）上的電位來控制是否開啟。

在目前所使用的動態隨機存取記憶體操作方法中，是以電荷儲存元件 110 與開關元件 100 相電性耦接之點（後稱為記憶點）120 上的電位來表示此記憶胞的儲存資料。一般而言，當要儲存邏輯 0 的時候，記憶點 120 的電位會被下拉至零電位；當要儲存邏輯 1 的時候，記憶點 120 的電位則會被拉升至電源電位（VDD）。而當要讀取資料

的時候，位元線 BL 與反位元線 BLB 會先被充電至相同的電位（一般而言是電源電位 VDD 的一半）；之後為了導通開關元件 100，字元線 WL0 會被充電至電位 VPP，此電位 VPP 約為  $VDD + V_{TN}$ （開關元件 100 的臨界電位）+ 0.3 伏特。當開關元件 100 導通之後，位元線 BL 上的電位就會因為分享電荷儲存元件 110 上的電位而產生變化，此時 DRAM 的感測器再分別感測位元線 BL 與反位元線 BLB 上的電位，最後再根據所感測到的電位的差異來判斷此記憶胞所儲存的資料為何。

請參照圖 2，其繪示習知 DRAM 中的驅動電路方塊圖。在此圖中，DRAM 20 使用的操作方法就如前述之方法一般。然而，此種 DRAM 操作方法有一個存在已久的缺點。這個缺點就是，為了提供比電源電位還高的電位 VPP，在 DRAM 的驅動電路中必須有一個特別的電壓產生裝置，亦即，如圖 2 所示之電荷推升器（charge pump）200 存在。再者，由於位元線 BL 與反位元線 BLB 必須被充電到電源電位 VDD 的一半，所以在 DRAM 20 的驅動電路中還必須能提供  $VDD/2$  電位的直流電。就因為有電荷推升器 200 存在，以及必須額外提供  $VDD/2$  電位的直流電，所以使得 DRAM 20 就算是在待命（standby）的狀況下也必須耗費不少電力。這對於以電池為動力來源的可攜式裝置來說是非常致命的，因為這個缺點將縮短其可使用的時間。

### 【發明內容】

本發明的目的之一是提供一種動態隨機存取記憶體操



作方法。其可在毋須利用電荷推升器以及  $VDD/2$  電位的狀況下順利操作動態隨機存取記憶體。

本發明的另一目的是提供一種動態隨機存取記憶體寫入方法，此方法可在不利用電荷推升器的狀況下將資料寫入動態隨機存取記憶體中。

本發明的又一目的是提供一種動態隨機存取記憶體讀取方法，此方法可在不使用電荷推升器的狀況下將資料從動態隨機存取記憶體中讀取出來。

為達成上述目的，本發明提供一種動態隨機存取記憶體操作方法，適用於具有位元線與反位元線之動態隨機存取記憶體中。此動態隨機存取記憶體以電荷儲存裝置記錄資料，且電荷儲存裝置透過開關元件而電性耦接至位元線。開關元件於導通時在開關元件兩端具有一個開關電位差。前述之動態隨機存取記憶體操作方法係以一電源電位減去開關電位差所得之第一電位或零電位來程式化電荷儲存裝置，並在讀取資料時將位元線與反位元線充電至前述的電源電位，之後開啟開關元件並根據位元線與反位元線間的電位差異來判斷電荷儲存裝置所記錄的資料。

在本發明的一個較佳實施例中，前述之動態隨機存取記憶體操作方法更在判斷電荷儲存裝置所記錄的資料之前，將反位元線下拉一個預定電位，此預定電位的值是在電荷儲存裝置以零電位程式化後，因開啟開關元件而使位元線產生之電位差異量的一半。

藉由上述的方式，動態隨機存取記憶體可以在不使用到電荷推升器的狀況下，僅使用原本由電源所提供的電源

電位就達到正常運作的目的。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

### 【實施方式】

在本發明一實施例中所使用的動態隨機存取記憶體（Dynamic Random Access Memory，DRAM）的內部電路方塊圖顯示如圖 3，而記憶胞的實際設計方式則請參照圖 1。在本實施例中，多數元件與顯示於圖 2 中的習知 DRAM 的電路架構相同。而兩者間的主要不同處一是在於本實施例中的 DRAM 30 中不需要包含如圖 2 所示的電荷推升器（charge pump）200。在此實施例中，記憶體陣列 310 中所使用的最高電位就是由電源（未繪示）所提供的電源電位 VDD。一般而言，在儲存邏輯 1 時所使用的電位可以稍低於電源電位 VDD，儲存邏輯 0 時所使用的電位則相對為零電位，反之亦可。另外，如圖 1 所示的位元線 BL 與反位元線 BLB 所使用的電位最高也只到電源電位 VDD。

藉著利用上述或習知技術所設計的 DRAM，本發明提出一種可以不需要使用電荷推升器（Charge Pump）的 DRAM 操作方法。請參見圖 4，其繪示根據本發明一實施例之 DRAM 操作方法於寫入資料時所採用的控制線/資料線時序圖。

在圖 4 所示的實施例中，首先要介紹的是寫入邏輯 0 時的操作方法。為了要將資料寫入記憶胞中，字元線 WL0

的電位會先被拉升到由電源所提供的電源電位  $V_{DD}$ ，藉此以打開所要寫入之記憶胞的開關元件。此外，資料輸入訊號  $DATA\_IN$  也會被寫入成為邏輯 0，並在字元線  $WL0$  被拉升到電源電位  $V_{DD}$  之後，先將資料傳送到位元線  $BL$  中，並藉由已經被打開的開關元件而使資料被寫入至記憶胞中。在將邏輯 0 寫入至記憶胞之後，記憶胞中的儲存電位  $V_{SN}$  將會變成 0。

再者，本實施例要寫入邏輯 1 時的方式也略同於前述寫入邏輯 0 時的操作方法。其不同處在於，雖然邏輯 1（電位為  $V_{DD}$ ）也同樣被寫入至記憶胞中，但記憶胞中的儲存電位  $V_{SN}$  將是  $V_{DD}$  減去  $V_{TN}$ ，其中的  $V_{TN}$  代表的是開關元件在導通時兩端之間的電位差。當然，熟習該項技藝者當可以電位 0 為邏輯 1，而以  $V_{DD}-V_{TN}$  為邏輯 0，此等皆可視設計時之電路連接關係而定。

從另一個角度來看，本發明還提出一種 DRAM 讀取方法。請參照圖 5，其繪示了根據本發明一較佳實施例於讀取 DRAM 時所採用的控制線/資料線時序圖。在本實施例中，假設若依照字元線  $WL0 \sim WL3$  的排列，則記憶胞中所儲存的資料分別是 0、1、0、1。此外，在本實施例中還假設讀取也是依照字元線  $WL0$ 、 $WL1$ 、 $WL2$ 、 $WL3$  的順序，而且字元線  $WL0$ 、 $WL1$ 、 $WL2$ 、 $WL3$  與字元線  $BL$  及反字元線  $BLB$  相電性耦接的方式如圖 1 所示。此外， $PULL\_BL$  與  $PULL\_BLB$  這兩個分別用來控制下拉位元線  $BL$  與反位元線  $BLB$  之電路的訊號，都是以邏輯低為啟動標準。然熟習該項技術者當能輕易從本實施例得知在不同

電路耦接方式下所必須更動的部分。

在本實施例中，首先位元線 BL 與反位元線 BLB 會被充電到電源電位 VDD，接下來字元線 WL0 也會被充電到電源電位 VDD。而由於字元線 WL0 被充電到電源電位 VDD，因此記憶胞中的資料（邏輯 0）就會因為開關元件被打開而被釋放到位元線 BL 上而導致位元線 BL 從原本的電位 VDD 向下滑落。此處因邏輯 0 而造成的位元線 BL 電位下降的幅度在後續將稱為邏輯 0 讀取下拉電位。而在 WL0 打開開關元件之後，在感測器啟動（即 SA ACTIVE 轉為邏輯高）之前，反位元線 BLB 會被下拉一段電位，這一段電位較佳的是前述邏輯 0 讀取下拉電位的一半。如此一來，當感測器啟動讀取時，就可以很容易的區分位元線 BL 與反位元線 BLB 之間的電位差異，從而得知原本儲存在記憶胞中的資料為邏輯 0。再者，在感測結束後，位元線 BL 還會被再次拉為邏輯 0 以重新將資料寫入於記憶胞中。

當然，熟習該項技術者當能知曉，在此處對反位元線 BLB 所下拉的電位大小可自行設計，只要能夠有效區分出位元線 BL 與反位元線 BLB 的電位就可以，並非一定要以此實施例所述者為準。

類似的，在讀取與 WL1 相連接的記憶胞中的資料（邏輯 1）的時候，其操作過程與前述讀取邏輯 0 的動作相去不遠。主要的差異點在於，由於由 WL1 所控制的記憶胞係電性耦接於反位元線 BLB，因此在此記憶胞中的邏輯 1 一般是以電位 0 為表示方式。此外，位元線 BL 與反位元

線 BLB 的動作會與讀取與 WL0 相連接的記憶胞中的資料時相反，而類似的，控制線 PULL\_BL 跟 PULL\_BLB 也會有相應的調整。

接下來介紹讀取邏輯 0 時的控制線/資料線變化。在圖 5 中，假設由字元線 WL2 所控制的記憶胞中儲存有邏輯 0 的資料，則在位元線 BL 與反位元線 BLB 充電到電位 VDD 之後，在利用字元線 WL2 打開記憶胞時，由於記憶胞中所儲存的電位為邏輯 0（因為是連接到反位元線 BLB，所以此時之邏輯 0 較佳的是如前所述般為 VDD-VTN），所以記憶胞的開啟與否並不影響反位元線 BLB 的電位，而在讀取完畢之後，反位元線 BLB 也同樣維持在高電位的狀況下以重新將資料寫入記憶胞中。類似的，當讀取由字元線 WL3 所控制的記憶胞時，其各控制線/資料線的變化也大致與讀取由字元線 WL2 所控制的記憶胞時相類似，而不同處也在於位元線 BL 與反位元線 BLB 以及相關控制線 PULL\_BL 及 PULL\_BLB 的電位變化。

藉由前述的 DRAM 與操作方法，在 DRAM 操作過程中所使用到的最高電位將是由電源所提供的電源電位 VDD，所以不必使用到電荷推升器。再者，位元線 BL 與反位元線 BLB 不需要維持在除了電源電位 VDD 或接地電位 GND 以外的狀態（除此兩者之外的狀態是因為分享記憶胞中的電位而產生改變，或是在讀取資料時所需進行的短暫電位拉降），因此在待命時也不需要額外的直流電源來維持位元線 BL 與反位元線 BLB 的電位。整體而言，本發明所提出的 DRAM 操作方法可以使 DRAM 的操作更

省電。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

#### 【圖式簡單說明】

圖 1 繪示的是習知所使用的 DRAM 中的記憶胞陣列 (memory cell array) 的基本設計方式。

圖 2 繪示習知 DRAM 中的驅動電路方塊圖。

圖 3 繪示依照本發明一較佳實施例所繪示的 DRAM 驅動電路方塊圖。

圖 4 繪示根據本發明一實施例之 DRAM 操作方法於寫入資料時所採用的控制線/資料線時序圖。

圖 5 繪示根據本發明一實施例之 DRAM 操作方法於讀取資料時所採用的控制線/資料線時序圖。

#### 【主要元件符號說明】

20, 30 : DRAM

100 : 開關元件

110 : 電荷儲存裝置

120 : 記憶點

200 : 電荷推升器

310 : 記憶體陣列

WL0~WL3 : 字元線 0~字元線 3

BL : 位元線

BLB : 反位元線

PULL\_BL, PULL\_BLB : 拉降 BL 與 BLB 之電路的  
控制線

VSN : 記憶點電位

SA ACTIVE : 感測器啟動訊號

DATAOUT : 資料輸出訊號

DATAIN : 資料輸入訊號

## 十、申請專利範圍：

1. 一種動態隨機存取記憶體操作方法，適用於具有一位元線與一反位元線之一動態隨機存取記憶體中，該動態隨機存取記憶體以一電荷儲存裝置記錄資料，且該電荷儲存裝置透過一開關元件而電性耦接至該位元線，該開關元件於導通時在該開關元件兩端具有一開關電位差，該動態隨機存取記憶體操作方法包括：

、以一電源電位減去該開關電位差所得之一第一電位及一零電位二者之一程式化該電荷儲存裝置；以及

在讀取資料時進行下列步驟：

將該位元線與該反位元線充電至該電源電位；

開啟該開關元件；以及

根據該位元線與該反位元線間的電位差異，判斷該電荷儲存裝置所記錄的資料。

2. 如申請專利範圍第 1 項所述之動態隨機存取記憶體操作方法，更包括：

於判斷該電荷儲存裝置所記錄的資料之前，將該反位元線下拉一預定電位。

3. 如申請專利範圍第 2 項所述之動態隨機存取記憶體操作方法，其中該預定電位為：在該電荷儲存裝置以該零電位程式化後，因開啟該開關元件而使該位元線產生之電位差異量的一半。

4. 如申請專利範圍第 1 項所述之動態隨機存取記憶體操作方法，其中該開關元件係由一字元線控制開啟/關閉，且該字元線係以該電源電位開啟該開關元件。



5. 一種動態隨機存取記憶體寫入方法，適用於具有一位元線與一反位元線之一動態隨機存取記憶體中，該動態隨機存取記憶體以一電荷儲存裝置記錄資料，且該電荷儲存裝置透過一開關元件而電性耦接至該位元線，該開關元件於導通時在該開關元件兩端具有一開關電位差，該動態隨機存取記憶體操作方法包括：

開啟該開關元件；以及

以一電源電位減去該開關電位差所得之一第一電位及一零電位二者之一程式化該電荷儲存裝置。

6. 如申請專利範圍第 5 項所述之動態隨機存取記憶體寫入方法，其中該開關元件係由一字元線控制開啟/關閉，且該字元線係以該電源電位開啟該開關元件。

7. 一種動態隨機存取記憶體讀取方法，適用於具有一位元線與一反位元線之一動態隨機存取記憶體中，該動態隨機存取記憶體以一電荷儲存裝置記錄資料，且該電荷儲存裝置透過一開關元件而電性耦接至該位元線，該開關元件於導通時在該開關元件兩端具有一開關電位差，該動態隨機存取記憶體操作方法包括：

將該位元線與該反位元線充電至一電源電位；

開啟該開關元件；以及

根據該位元線與該反位元線間的電位差異，判斷該電荷儲存裝置所記錄的資料，

其中，該電源電位控制該開關元件是否開啟。

8. 如申請專利範圍第 7 項所述之動態隨機存取記憶體讀取方法，更包括：

於判斷該電荷儲存裝置所記錄的資料之前，將該反位元線下拉一預定電位。

9. 如申請專利範圍第 8 項所述之動態隨機存取記憶體讀取方法，其中該預定電位為：在該電荷儲存裝置以該零電位程式化後，因開啟該開關元件而使該位元線產生之電位差異量的一半。

10. 如申請專利範圍第 7 項所述之動態隨機存取記憶體讀取方法，其中該開關元件係由一字元線控制開啟/關閉，且該字元線係以該電源電位開啟該開關元件。

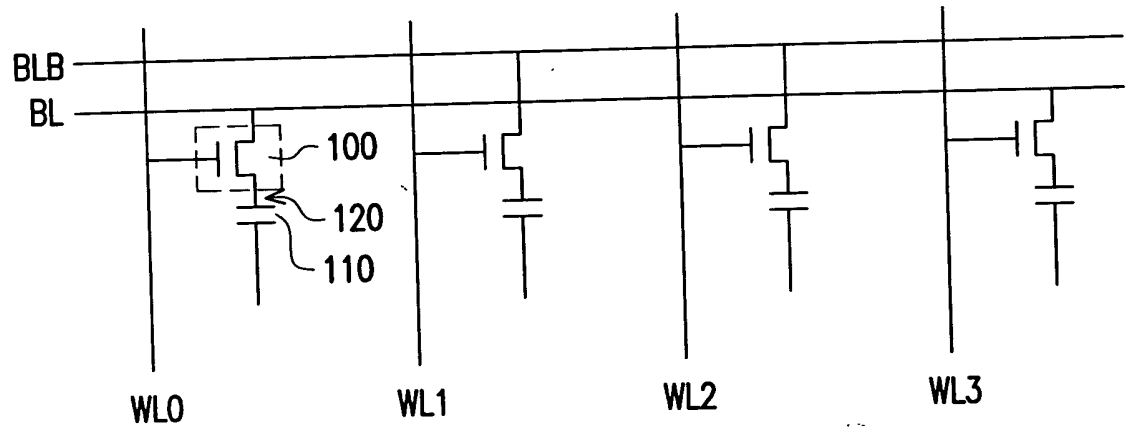


圖 1

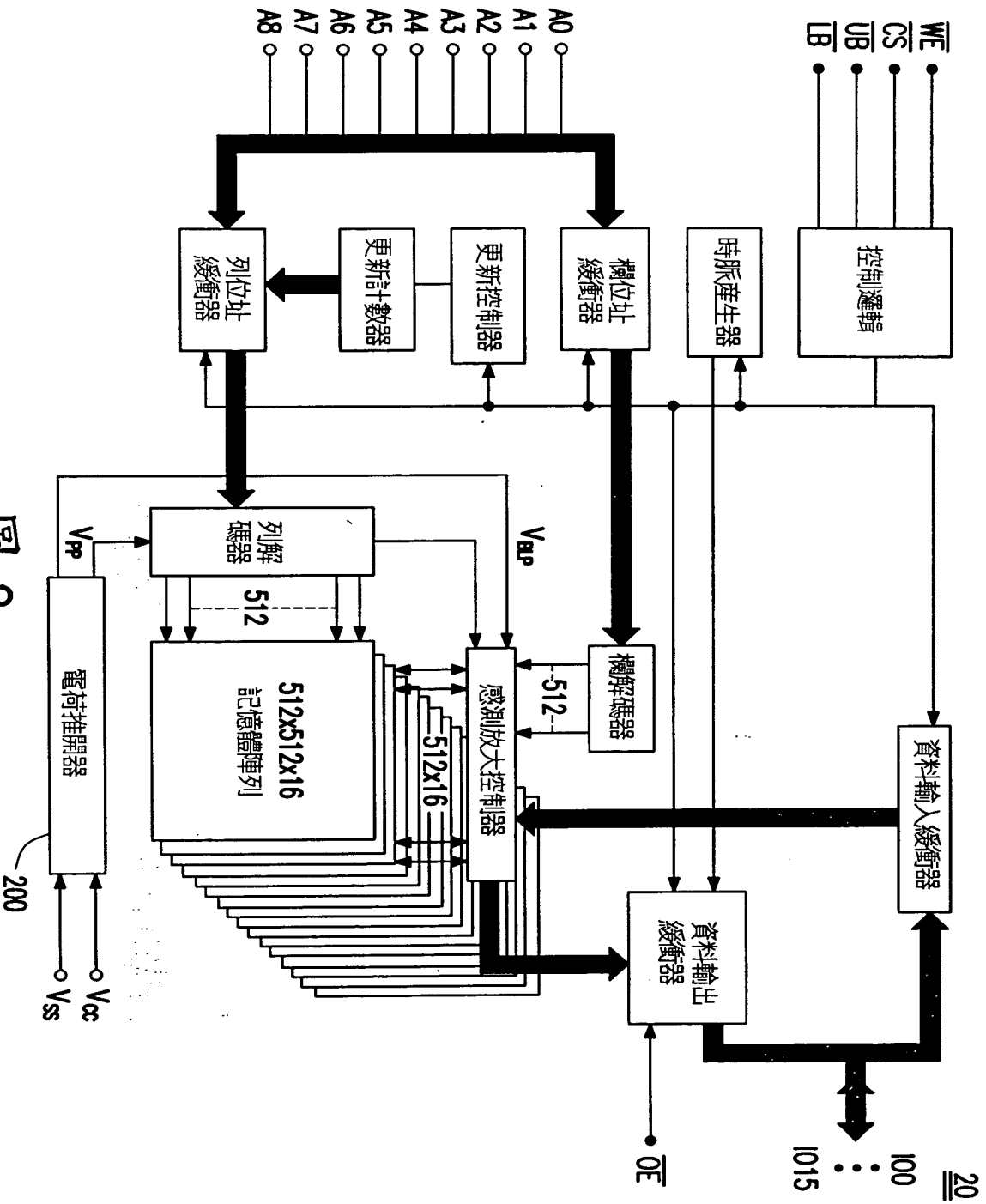


圖 2

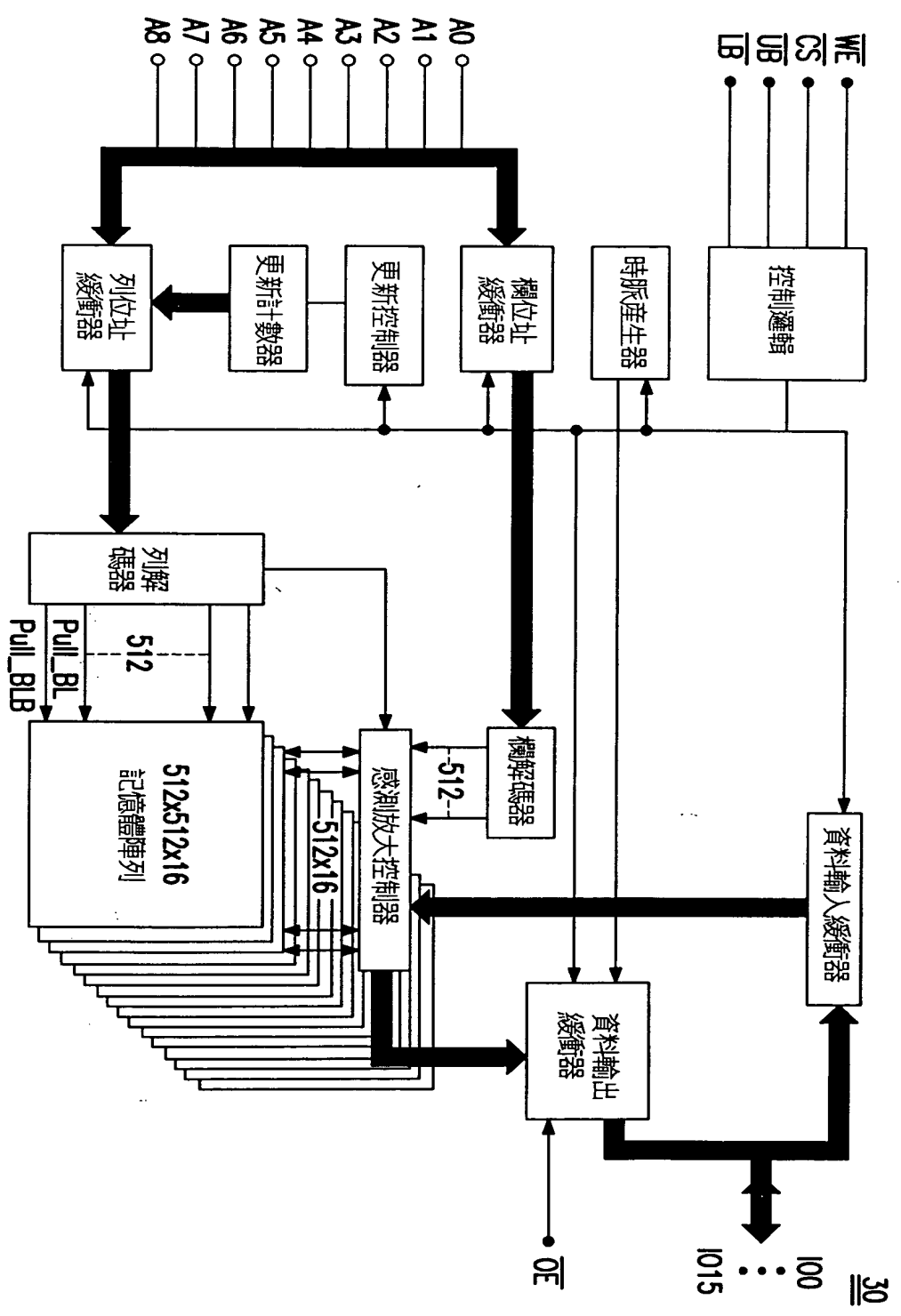


圖 3

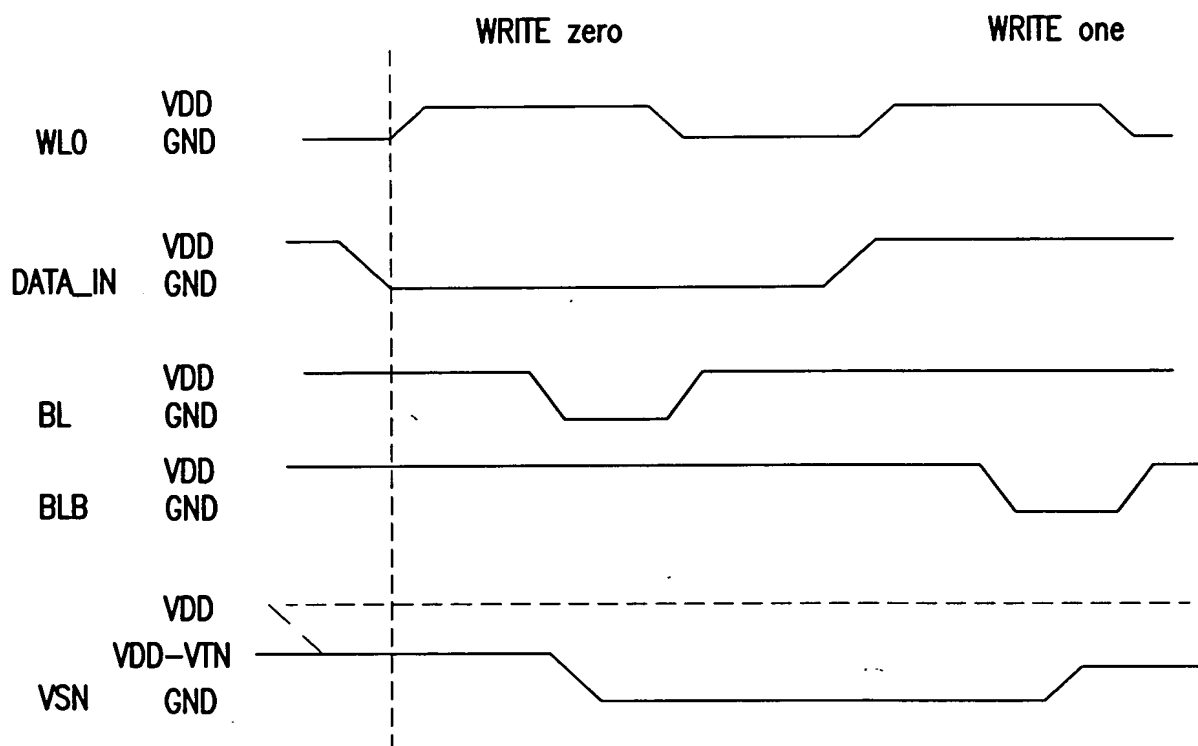


圖 4

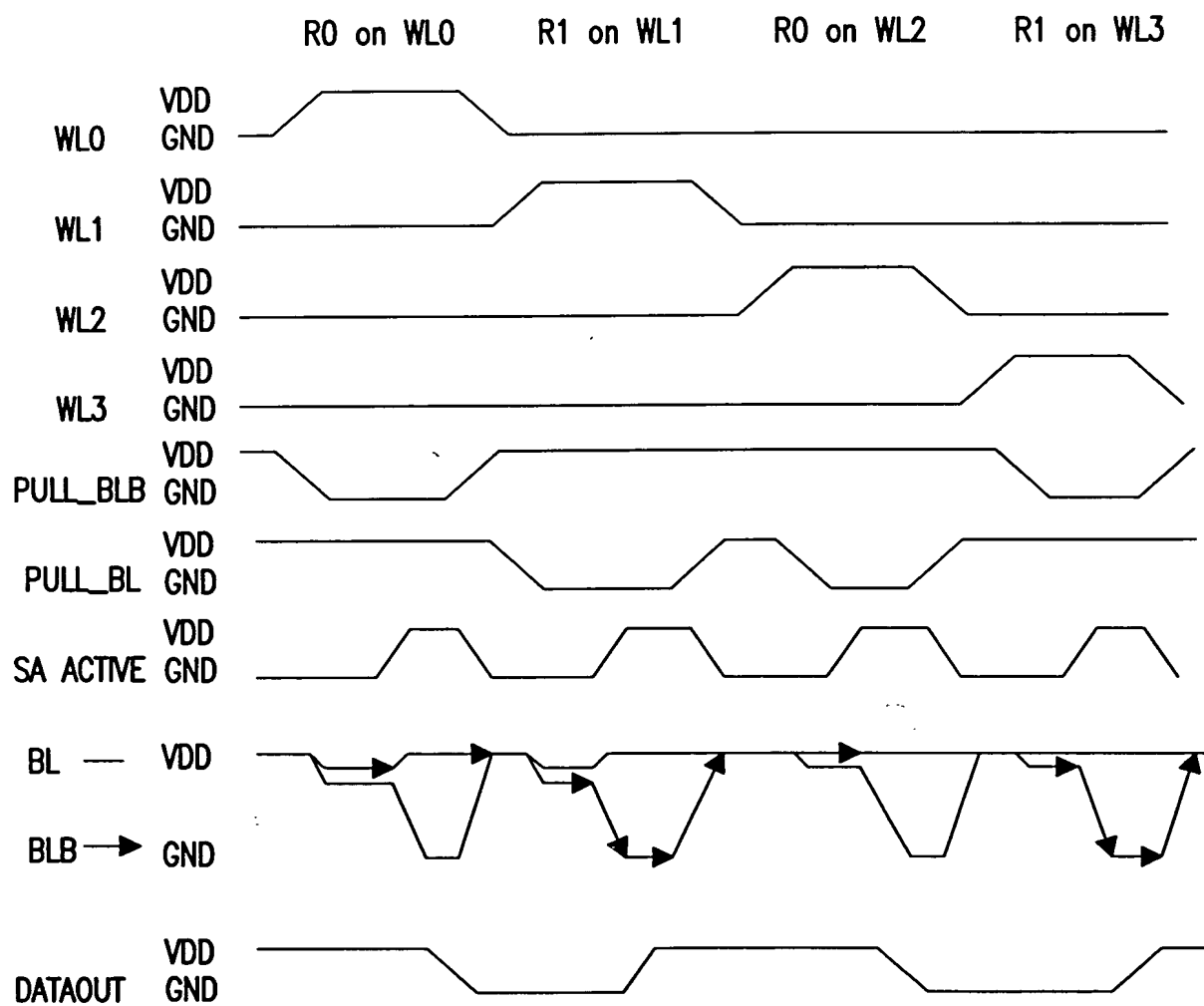


圖 5